郑州轻工业大学

**实验报告**

**课程名称：** FPGA系统设计

**姓 名：** 原彬贺

**院 （系）：** 计算机与通信工程学院

**专业班级：** 计算机科学与技术2002

**学 号：** 542001020223

**指导教师：** 耿鑫

**成 绩：**

**时间：** 2022 **年** 5 **月** 27 **日**

目　　录

1任务与要求………………………………………………………… ……………… 1

2实验内容………………………………………………………… ……………… 1

3实验过程和结果………………………………………………………… ……………… 4

4. 总结和体会

# 设计任务和要求

**任务**：完成基于Verilog的按键扫描与显示功能。

**要求**：Verilog语言编写程序，实现对按键扫描与显示功能，FPGA时钟为48Mhz，该模块具有分频和按键去抖动功能。

# 实验内容

* 1. 掌握分频模块的设计及函数调用功能，理解按键去抖动的方法和状态机的写法；
  2. 使用Verilog语言编程，实现按键扫描和显示功能；
  3. 编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。

## 3 实验过程及结果

在QUARTUSII环境下，进行Verilog程序设计，完成按键扫描及显示设计，观察生成的RTL流图。

### 3.1按键扫描的原理

由于大多数的按键是机械式的，所以在按键的同时会产生抖动，我们要剔除这个抖动，防止误判。

软件的去抖动实质上就是延时过程，即在刚开始判断到有键按下后，再延时一段时间（一般是5ms~10ms的延时)，以跳过这个抖动的时间，然后再一次去判断是否有键按下，若这个时候的检测结果还是有键按下，那么我们就可以断定确实有键按下，否则，就判断为无键按下。

### 3.2 Verilog语言实现按键扫描及显示的代码设计

module seg(clk,seg7,ledcom);

input clk;

output[7:0] seg7;

output[7:0] ledcom;

reg[7:0] seg7;

reg[20:0] cnt;

reg[7:0] ledcom;

always@(posedge clk)

begin

if(cnt==21'b111111111111111111111)

cnt<=0;

else

cnt<=cnt+1;

end

always@(cnt)

begin

case(cnt[16:14])

3'b000:ledcom<=8'b00000001;//0

3'b001:ledcom<=8'b00000010;//1

3'b010:ledcom<=8'b00000100;//2

3'b011:ledcom<=8'b00001000;//3

3'b100:ledcom<=8'b00010000;//0

3'b101:ledcom<=8'b00100000;//1

3'b110:ledcom<=8'b01000000;//2

3'b111:ledcom<=8'b10000000;//3

endcase

end

always@(cnt)

begin

case(cnt[16:14])

3'b000:seg7<=8'b00000111;//0

3'b001:seg7<=8'b11011011;//1

3'b010:seg7<=8'b11001111;//2

3'b011:seg7<=8'b10100111;//3

3'b100:seg7<=8'b11101101;//0

3'b101:seg7<=8'b11111101;//1

3'b110:seg7<=8'b01000111;//2

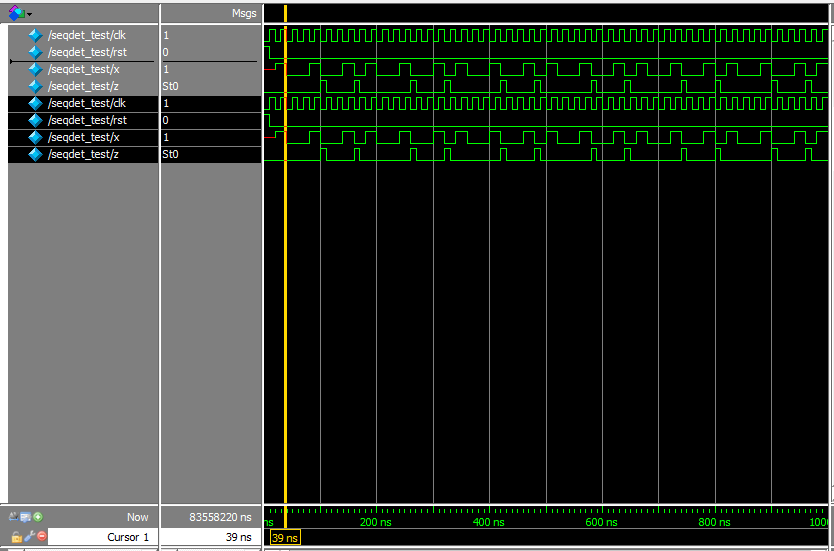
3'b111:seg7<=8'b11111111;//3

endcase

end

endmodule

3.3 实验结果分析（包括编译、波形仿真等）



# 4实验总结和心得

本次实验要求我们实现基于Verilog的按键扫描与显示功能。本次实验主要内容是按键扫描与显示功能，通过编写程序，实现了对按键扫描与显示功能，并且具有分频和按键去抖动功能。通过本次实验，理解了按键去抖动的方法和状态机的写法。对于状态机方面的知识有了更深入的理解。